

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-233804

(43) Date of publication of application : 10.09.1993

(51) Int.CI.

G06F 15/68

G06F 7/02

(21) Application number : 04-036185

(71) Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 24.02.1992

(72) Inventor : FUJIWARA MIKIO

MINEMARU TAKAYUKI

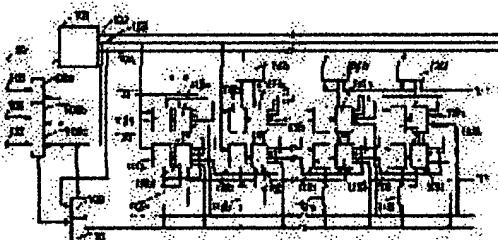
TAKAYAMA HISASHI

(54) MEDIAN FILTER

(57) Abstract:

PURPOSE: To obtain the median filter at low cost with a hardware amount less than half in comparison with the conventional amount by inserting new data to already positioned data.

CONSTITUTION: This median filter is provided with pixel data identifying means 113a-113i, pixel data discharging means 115a-115i and 116a-116i, pixel data inserting means 115a-115i and 116a-116i, and pixel data extracting means. Concerning an operation to update pixel data for each picture element, picture elements to get out of a comparing object at the time of updating and picture element to be newly added to the comparing object are managed by relative position numbers for identification from [m is an integer 1] m^2 pieces of pixel data such as positive integers from '0' to (m^2-1) or (u, v) ($0 \leq u \leq m-1, 0 \leq v \leq m-1$) expressed by the remainder system of m while utilizing the size relation of (m^2-1) pieces of pixel data are already known among the m^2 pieces of pixel data so as to always insert one new data to the (m^2-1) pieces of already ordered data.



LEGAL STATUS

[Date of request for examination] 20.06.1997

[Date of sending the examiner's decision of rejection] 23.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

MEDIAN FILTER

Publication Number: 05-233804 (JP 5233804 A) , September 10, 1993

Inventors:

- FUJIWARA MIKIO
- MINEMARU TAKAYUKI
- TAKAYAMA HISASHI

Applicants

- MATSUSHITA ELECTRIC IND CO LTD (A Japanese Company or Corporation), JP (Japan)

Application Number: 04-036185 (JP 9236185) , February 24, 1992

International Class (IPC Edition 5):

- G06F-015/68
- G06F-007/02

JAPIO Class:

- 45.4 (INFORMATION PROCESSING--- Computer Applications)
- 45.1 (INFORMATION PROCESSING--- Arithmetic Sequence Units)

Abstract:

PURPOSE: To obtain the median filter at low cost with a hardware amount less than half in comparison with the conventional amount by inserting new data to already positioned data.

CONSTITUTION: This median filter is provided with pixel data identifying means 113a-113i, pixel data discharging means 115a-115i and 116a-116i, pixel data inserting means 115a-115i and 116a-116i, and pixel data extracting means. Concerning an operation to update pixel data for each picture element, picture elements to get out of a comparing object at the time of updating and picture element to be newly added to the comparing object are managed by relative position numbers for identification from (m is an integer 1) $m^{(sup) 2}$ pieces of pixel data such as positive integers from '0' to $(m^{(sup) 2}-1)$ or $(u, v) (0 \leq u \leq m-1, 0 \leq v \leq m-1)$ expressed by the remainder system of m while utilizing the size relation of $(m^{(sup) 2}-1)$ pieces of pixel data are already known among the $m^{(sup) 2}$ pieces of pixel data so as to a ways insert one new data to the $(m^{(sup) 2}-1)$ pieces of already ordered data. (From: *Patent Abstracts of Japan*, Section: P, Section No. 1664, Vol. 17, No. 696, Pg. 40, December 20, 1993)

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 4242104

(51)Int.Cl.
G 06 F 15/68
7/02

識別記号
410
M

序内整理番号
8420-5L
8323-5B

F I

技術表示箇所

(21)出願番号 特願平4-36185
(22)出願日 平成4年(1992)2月24日

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 藤原 美貴雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 峯丸 貴行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 高山 久
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 宮井 嘉夫

(54)【発明の名称】 メディアンフィルタ

(57)【要約】

【目的】 メディアンフィルタを、従来例に比較して、半分以下のハードウェア量で安価に実現する。

【構成】 データラッ奇上で大きさ順に並べられた旧の m^2 個の画素データの列から更新時に比較対象から外れる画素データと残りの $(m^2 - 1)$ の画素データと識別するとともに、残りの $(m^2 - 1)$ の画素データと更新時に新規に比較対象に加わる画素データとを識別する。大きさ順に並べられた旧の m^2 個の画素データの配列から比較対象から外れる画素データを識別情報に基づいて選択的に排出する。識別情報に基づいて大きさ順に配列された残りの $(m^2 - 1)$ の画素データと新規に比較対象に加わる画素データとを比較して残りの $(m^2 - 1)$ の画素データの列の中に新規に比較対象に加わる画素データを大きさ順の並びを崩さない状態に挿入して新の m^2 個の画素データの列を作成する。新の m^2 個の画素データの列の中央の画素データを中央値として抽出する。

【特許請求の範囲】

【請求項1】 1個ずつ更新される m^2 個（mは1より大きい正整数）の画素データを相互に比較して前記 m^2 個の画素データの中から中央値を有する画素データを抽出するメディアンフィルタであって、

データラッピング上で大きさ順に並べられた旧の m^2 個の画素データの列から更新時に比較対象から外れる画素データと残りの $(m^2 - 1)$ の画素データとを識別するとともに、前記残りの $(m^2 - 1)$ の画素データと更新時に新規に比較対象に加わる画素データとを識別する画素データ識別手段と、

大きさ順に並べられた前記旧の m^2 個の画素データの配列から前記比較対象から外れる画素データを前記画素データ識別手段による識別情報に基づいて選択的に排出する画素データ排出手段と、

前記画素データ識別手段による識別情報に基づいて大きさ順に配列された前記残りの $(m^2 - 1)$ の画素データと前記新規に比較対象に加わる画素データとを比較して前記残りの $(m^2 - 1)$ の画素データの列の中に前記新規に比較対象に加わる画素データを大きさ順の並びを崩さない状態に挿入して新の m^2 個の画素データの列を作成する画素データ挿入手段と、

前記画素データ挿入手段により作成された前記新の m^2 個の画素データの列の中央の画素データを中心値として抽出する画素データ抽出手段とを備えたメディアンフィルタ。

【請求項2】 画素データ識別手段は、 m^2 個の画素データを識別するのに、前記 m^2 個の画素データの各々に対して $0 \sim (m^2 - 1)$ までの正の整数もしくはmの剰余系で表現される (u, v) （ただし、 $0 \leq u \leq m - 1$ 、 $0 \leq v \leq m - 1$ ）を割り当てている請求項1記載のメディアンフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、衛星放送受信装置やFA（Factory Automation；ファクトリ・オートメーション）機器のパターン認識装置や自動外観検査装置等で入力画像データの雑音成分の低減を含む画質改善のために用いられるメディアンフィルタに関するものである。

【0002】

【従来の技術】 多値画像の画像処理で、雑音成分の低減を含む画質改善のために、画像認識の前処理でよく用いられるメディアンフィルタは、隣接する $m \times m$ 個（mは1より大きい正の整数）の画素領域の中で、最大値から $m^2 / 2$ 番目の画素の値を中央値として出力するフィルタである。

【0003】 メディアンフィルタは、局所平均をとるフィルタに比較して、輪郭部がぼけないという利点があるため、フリッカ状の雑音の除去に有効である。メディアンフィルタでの処理は、nビット長の画像信号 $I(i,$

$j)$ について隣接する $m \times m$ 個の画素領域を想定し、その領域内の画素値を逐次比較し、画素値の大きい順番に並べたときの $m^2 / 2$ 番目の画素値を処理結果として出力するものであり、ソート処理の一環と考えることができる。

【0004】 メディアンフィルタを構成する従来例として、各画素間での比較を行うコンパレータモジュールのネットワークで構成する例が、ソーティング・アンド・サーチング、ザ・アート・オブ・コンピュータ・プログラミング（Sorting and Searching, THE ART OF COMPUTER PROGRAMMING vol. 3 pp. 220-246）に掲載されている。この構成の具体例を、 $m = 3$ の場合について、図を用いて説明する。

【0005】 図4は 3×3 個の画素領域に対してメディアンフィルタを構成する場合のブロック図である。図4において、画像信号入力端子40にはnビット長の画像信号 $I(i+2, j+1)$ が入力され、画像信号入力端子41には画像信号入力端子40よりも1水平期間ずれたnビット長の画像信号 $I(i+2, j)$ が入力され、画像信号入力端子42には画像信号入力端子40よりも2水平期間ずれたnビット長の画像信号 $I(i+2, j-1)$ が入力される。

【0006】 データロード機能付のnビットデータラッチ43a～43cで、これらの画像信号をラッピングし、一画素単位でつぎのnビットデータラッチ44aに画像信号を送りこむ。nビットデータラッチ44a～44iでは、データロード機能付のnビットデータラッチ43a～43cでパラレルからシリアルに変換された画像信号が、44aから44iまで順番に、 $I(i, j+1)$ 、 $I(i, j)$ 、 $I(i, j-1)$ 、 $I(i-1, j+1)$ 、 $I(i-1, j)$ 、 $I(i-1, j-1)$ 、 $I(i-2, j+1)$ 、 $I(i-2, j)$ 、 $I(i-2, j-1)$ という形で、一次元のデータ列としてセットされる。

【0007】 コンパレータモジュール45a～45yでは、入力された二つのデータの大小比較を行い、大きい方のデータを上側の出力端子より出力し、小さい方のデータを下側の出力端子より出力する。このコンパレータモジュール45a～45yの構造をもう少し具体化したものが図5である。図5において、nビット長のデータ入力端子50に、いまnビット長のデータ M_k が入力されているとする。また、nビット長のデータ入力端子51に、いまnビット長のデータ M_1 が入力されているとする。

【0008】 nビット長の比較器52では、データ M_k とデータ M_1 の大小比較を行い、データ M_k がデータ M_1 よりも大きい時は、フラグ信号53に“1”をセットし、それ以外の場合は“0”をセットする。この関係を数式で表現すると、 $M_k > M_1 \rightarrow 1$ 、 $M_k \leq M_1 \rightarrow 0$ となる。

【0009】

【数1】 IF $M_k \geq M_1$ then Flag=1

IF $M_k < M_1$ then Flag=0

つぎに、スイッチ54では、フラグ信号53に従い、入力されたデータ M_k 、 M_1 を、nビット長のデータ M'_k 、 M'_{-1} としてnビット長の出力端子55、56に振り分ける。

【0010】 フラグ信号53が“1”的時には、データ M'_k としてデータ M_k がセットされ、データ M'_{-1} としてデータ M_1 がセットされる。一方、フラグ信号53が“0”的時には、データ M'_k としてデータ M_1 がセットされ、データ M'_{-1} としてデータ M_k がセットされる。この関係を式で表現すると、数2のように表現できる。

【0011】

【数2】

IF Flag=1 then $M'_k = M_k$ 、 $M'_{-1} = M_1$

IF Flag=0 then $M'_k = M_1$ 、 $M'_{-1} = M_k$

これらのコンパレータモジュール45a～45yのネットワークを通すことにより、上から大きさの順に並べ替えられたデータが、nビット長のデータラッチ46a～46iにセットされ、ソーティング処理が終了する。

【0012】 この結果、上から5番目のデータラッチ46eに所望の中央値（メディアン）を得ることができる。

【0013】

【発明が解決しようとする課題】 しかしながら、この構成では、コンパレータモジュール45a～45yのネットワークで、コンパレータモジュール45a～45yが25個（もし、6番目以下の順位付けのためのコンパレータモジュールを取り除くと23個）が必要である。

【0014】 処理の逐次性を考慮すると、さらに9段のパイプライン構成が必要となり、パイプラインレジスタとして図示以外に72個のnビット長のデータラッチが必要となる。このように、 $m=3$ の9個のデータに対するメディアンフィルタでも、データのスループットをよくするために同期型のパイプライン構成をとると、23個のコンパレータモジュールと90個のデータラッチと3個のデータロード機能付のデータラッチが必要となる。

【0015】 また、 $m=4$ の場合には、54個のコンパレータモジュールと176個のデータラッチと4個のデータロード機能付のデータラッチが必要となる。このため、 $m \geq 5$ というような場合に対応するには、必要となるハードウェア量が膨大となり現実的ではない。この発明の目的は、少ないハードウェア量で実現することができ、安価なメディアンフィルタを提供することである。

【0016】

【課題を解決するための手段】 この発明は、画素データが一画素毎に更新される動作では、 m^2 個の画素データ

の内の $(m^2 - 1)$ 個の画素データについては、その大小関係が既知であることを利用して、更新時に比較対象から外れる画素と新規に比較に加わる画素とを、 m^2 個の画素データから識別するための相対位置番号たとえば0～ $(m^2 - 1)$ までの正の整数やmの剩余系で表現される (u, v) ($0 \leq u \leq m-1$, $0 \leq v \leq m-1$)で管理し、常に $(m^2 - 1)$ 個の既に順位付けられたデータに対して、新規の1個を挿入することにより、 $m \times m$ のメディアンフィルタ処理を実現するものである。

【0017】 つまり、この発明のメディアンフィルタは、1個ずつ更新される m^2 個（mは1より大きい正整数）の画素データを相互に比較して m^2 個の画素データの中から中央値を有する画素データを抽出するメディアンフィルタであり、画素データ識別手段と画素データ排出手段と画素データ挿入手段と画素データ抽出手段とを備えている。

【0018】 画素データ識別手段は、データラッチ上で大きさ順に並べられた旧の m^2 個の画素データの列から更新時に比較対象から外れる画素データと残りの $(m^2 - 1)$ の画素データとを識別するとともに、残りの $(m^2 - 1)$ の画素データと更新時に新規に比較対象に加わる画素データとを識別する機能を有し、 m^2 個の画素データを識別するのに、 m^2 個の画素データの各々に対して0～ $(m^2 - 1)$ までの正の整数もしくはmの剩余系で表現される (u, v) （ただし、 $0 \leq u \leq m-1$, $0 \leq v \leq m-1$ ）を割り当てている。

【0019】 画素データ排出手段は、大きさ順に並べられた旧の m^2 個の画素データの配列から比較対象から外れる画素データを画素データ識別手段による識別情報に基づいて選択的に排出する機能を有する。画素データ挿入手段は、画素データ識別手段による識別情報に基づいて大きさ順に配列された残りの $(m^2 - 1)$ の画素データと新規に比較対象に加わる画素データとを比較して残りの $(m^2 - 1)$ の画素データの列の中に新規に比較対象に加わる画素データを大きさ順の並びを崩さない状態に挿入して新の m^2 個の画素データの列を作成する機能を有する。

【0020】 画素データ抽出手段は、画素データ挿入手段により作成された新の m^2 個の画素データの列の中央の画素データを中央値として抽出する機能を有する。

【0021】

【作用】 この発明の構成によれば、既に比較処理が終了した旧の m^2 個の画素データから、比較対象から外すべき画素データを例えればmの剩余系で表現される相対位置番号 (u, v) で指定し、そのデータが存在していたデータラッチに対して、下位のデータをシフトし、最下位のデータラッチの値を“0”とし、相対位置番号 $(u, v) = (m, m)$ とし、 $(m^2 - 1)$ 個の順位付けられたデータ列をデータラッチ上に実現する。つぎに、新規の比較対象となる画素データが加わると、先程比較対象

から外された画素データの相対位置番号 (u, v) をこの画素データに与え、 $(m^2 - 1)$ 個の順位付けられたデータ列との比較を行う。

【0022】その中の i 番目以降のデータよりもこのデータが大きければ、 i 番目以降のデータおよび相対位置番号が 1 つずつ下方へシフトし、このデータとその相対位置番号が、 i 番目のデータラッチにロードされることで比較動作が完結し、 m 画素毎に、1 組の $m \times m$ 個の画素データに対するメディアンフィルタの出力が得られる。

【0023】この発明のメディアンフィルタによると、 m^2 個の画素データに対して、 $(2 \times m^2 - 1)$ 個の比較器と $(2 \times m^2)$ 個のデータラッチと m 個のデータロード機能付のデータラッチと制御回路からメディアンフィルタを構成することができる。例えば、 $m = 3$ の時に 17 個の比較器と 18 個のデータラッチと 3 個のデータロード機能付のデータラッチと制御回路とで、 $m = 4$ の時に 31 個の比較器と 32 個のデータラッチと 4 個のデータロード機能付のデータラッチと制御回路とで、 $m = 5$ の時に 49 個の比較器と 50 個のデータラッチと 5 個のデータロード機能付のデータラッチと制御回路とでメディアンフィルタが構成ができる。

【0024】このように、この発明のメディアンフィルタは、従来例に比較して、半分以下のハードウェア量で実現でき、1 画素 1 クロック期間で処理を実行できるメディアンフィルタを安価に提供することができる。

【0025】

【実施例】以下、この発明のメディアンフィルタの一実施例を図面とともに説明する。図 1 はこの発明の一実施例で、 $m = 3$ の場合の 3×3 のウィンドウサイズでメディアンフィルタを構成した場合のブロック図である。図 1において、クロック信号 100 はこの回路全体の基準クロックであり、回路の同期的な動作を制御する。タイミング生成および相対番号生成回路 101 はクロック信号 100 より回路内部のタイミング信号群の生成と入力されるデータ毎に識別のために付加される例えば 3 の剰余系で表現される 4 ビットの相対位置番号 (u, v) ($0 \leq u \leq 2, 0 \leq v \leq 2$) の生成を行う。

【0026】内部同期クロック 102 は内部回路に対する同期信号である。画素クロック 103 は画素信号のラッチおよびシフト動作に対する同期信号である。4 ビットの相対位置番号 104 は、入力された画像信号を他の $m^2 - 1$ 個のデータと識別するために用いられる付加情報で、例えば $0 \sim (m^2 - 1)$ までの正の整数や m の剰余系で表現される (u, v) ($0 \leq u \leq m-1, 0 \leq v \leq m-1$) を用いることができるが、ここでは 3 の剰余系で表現される 4 ビット情報 (u, v) ($0 \leq u \leq 2, 0 \leq v \leq 2$) を用いて説明する。

【0027】画像信号入力端子 105 には、 n ビット長の画像信号 I ($i+2, j+1$) が入力され、画像信号

入力端子 106 には画像信号入力端子 105 よりも 1 水平期間ずれた n ビット長の画像信号 I ($i+2, j$) が入力され、画像信号入力端子 107 には画像信号入力端子 105 よりも 2 水平期間ずれた n ビット長の画像信号 I ($i+2, j-1$) が入力される。

【0028】データクロード機能付の n ビットデータラッチ 108a ~ 108c は、これらの画像信号入力端子 105 ~ 107 より入力される画像信号をラッチする。4 ビット長のデータラッチ 109 は、タイミング生成および相対番号生成回路 102 より生成される相対位置番号 (u, v) ($0 \leq u \leq 2, 0 \leq v \leq 2$) をラッチする。 n ビットデータラッチ 110 は、データロード機能付の n ビットデータラッチ 108a ~ 108c より、画素クロック 103 に同期してシフト動作で送られてくる画像信号をラッチする。

【0029】 n ビットのデータラッチ 111a ~ 111i は、右端を最大として順序付けられた画像信号（画素データ）を保持する。 n ビットの比較回路 112a ~ 112i は、 n ビットデータラッチ 110 にラッチされた新規入力の画像信号と n ビットのデータラッチ 111a ~ 111i に保持されている既存の $m^2 - 1$ 個の画像信号との大きさを比較する。

【0030】4 ビットのデータラッチ 113a ~ 113i は、 n ビットのデータラッチ 111a ~ 111i に保持されている画像信号に対応する相対位置番号 (u, v) ($0 \leq u \leq 2, 0 \leq v \leq 2$) を保持し、4 ビットの一致検出回路 114b ~ 114i は、4 ビットデータラッチ 109 にラッチされた新規入力の画像信号に対応する相対位置番号と 4 ビットのデータラッチ 113a ~ 113i に保持されている既存の $m^2 - 1$ 個の相対位置番号との一致を検出する（画素データ識別手段を構成する）。

【0031】4 入力セレクタ 115a ~ 115i は、比較回路 112a ~ 112i の比較結果および 4 ビットの一致検出回路 114b ~ 114i の検出結果に従い、 n ビットデータラッチ 111a ~ 111i に更新されるデータを、 n ビットデータラッチ 110 上のデータをロード、右方シフト、左方シフト、現在のデータを保持の 4 つの場合から選択する（画素データ排出、挿入手段を構成する）。

【0032】4 入力セレクタ 116a ~ 116i は、比較回路 112a ~ 112i の比較結果および 4 ビットの一致検出回路 114b ~ 114i の検出結果に従い、4 ビットのデータラッチ 113a ~ 113i に更新されるデータを、4 ビット長のデータラッチ 109 上のデータをロード、右方シフト、左方シフト、現在のデータを保持の 4 つの場合から選択する（画素データ排出、挿入手段を構成する）。

【0033】なお、特に図示はしていないが、 m 個の画素データについての排出、挿入処理が済んだ後に m^2 個

の画素データを格納したデータラッチの中央のデータラッチの画素データを中央値として抽出する手段が設けられている。つぎに、図2の具体的な画像データ例を用いて、図1の回路動作を説明する。今、図2の太枠で示されたデータに対してメディアンフィルタ処理が終了した時点を初期状態にして、点線で囲まれた部分のメディアンフィルタ処理を行う場合の回路動作を説明する。わかりやすくするために、この時の処理フローを図示したものが図3である。

【0034】図3の(0)ステップの初期状態で格子の上段は相対位置番号を格納する4ビットのデータラッチ113a～113iに保持されているデータに対応し、下段は画像信号を格納するnビットのデータラッチ111a～111iに保持されているデータに対応し、右端を最大値として左方向に次第に小さな値が格納されている。

【0035】この時のメディアンフィルタ出力は、右端から5番目のnビットのデータラッチ111eに格納されている相対位置番号(0, 2)の“96”である。つぎに、処理対象を点線で囲まれた領域にシフトするとする。この時、画像信号入力端子105～107より入力される画像信号は“56”, “82”, “56”で、それぞれに対応する相対位置番号は、それぞれ(0, 0), (0, 1), (0, 2)で、タイミング生成および相対番号生成回路101で画素クロック103に同期して生成される。

【0036】nビットのデータラッチ108a～108cに取り込まれたこれらの画像信号はシフト動作で、nビットデータラッチ110に取り込まれる。最初の画像信号“56”がnビットデータラッチ110に取り込まれると同時に4ビットのデータラッチ109には、この画像信号に対応する相対位置番号(0, 2)がセットされる。

【0037】そして、最初に図3の(1)ステップの既存データ中で、新規入力の画像信号と同じ相対位置番号を有する画素信号の排出を行う。この時の実行プロセスは、現在の相対位置番号104と9個ある4ビットのデータラッチ113a～113i上のデータとを、それぞれ一致検出器114b～114iで一致検出をおこない、一致が見られた検出器の出力フラグを“1”とし、以下そこから左側のすべての出力フラグを“1”とする。

【0038】この出力フラグによって、画像信号用4入力セレクタ115a～115iと相対位置番号用4入力セレクタ116a～116iを制御し、一致検出のあつたラッチから左側で、画像信号および相対位置番号が右方シフトさせる。この動作は、排出対象データをクリアして右詰めを行う動作に対応する。この時、最左端にはデータは存在しないので、画像信号としてnビットラッチ111aにはデフォルト値として“00”がセットさ

れ、相対位置番号として4ビットラッチ113aにデフォルト値として(3, 3)がセットされる。

【0039】つぎに、(2)ステップとしてnビットデータラッチ110上の画像信号“56”と9個あるnビットのデータラッチ111a～111i上のデータとを、それぞれ比較器112a～112iで大小比較を行い、データラッチ上のデータが大きい時はこの比較器の出力フラグを“1”とし、データラッチ上のデータが小さい時はこの比較器の出力フラグを“0”とする。

【0040】この出力フラグによって、画像信号用4入力セレクタ115a～115iと相対位置番号用4入力セレクタ116a～116iを制御し、一致が検出されたラッチから左側で、画像信号および相対位置番号を左方シフトさせ、一致のあった所のデータラッチに新規入力の画像信号と相対位置番号をロードする。これにより、既存の順列に、一個のデータをインサートソートすることが完結する。この時の状態が、図3の(3)ステップ目の状態である。

【0041】同様にして、相対位置番号(0, 1)の画像信号“82”を入力した時の処理フローが、図3の(4)～(6)ステップであり、そのつぎの相対位置番号(0, 0)の画像信号“56”を入力した時の処理フローが、図3の(7)～(9)ステップである。この結果、図3の(9)ステップのように、図2の点線で囲まれた3×3の領域に対するメディアンフィルタの出力値は“94”となる。

【0042】

【発明の効果】この発明のメディアンフィルタによれば、 m^2 個の画素データの内 $(m^2 - 1)$ 個の画素データについては、その大小関係が既知であることを利用して、比較対象から外れる画素と新規に比較対象に加わる画素とを、 m^2 個のデータを識別するための相対位置番号、例えば $0 \sim (m^2 - 1)$ までの正の整数やmの剩余系で表現される(u, v) ($0 \leq u \leq m-1$, $0 \leq v \leq m-1$)で管理し、常に $(m^2 - 1)$ 個の既に順位付けられたデータに対して、新規の1個を挿入することにより、 m^2 個のデータに対して、 m^2 個の比較器と $(m^2 - 1)$ 個の一一致検出回路と $(2 \times m^2)$ 個のデータラッチとm個のデータロード機能付のデータラッチと制御回路からメディアンフィルタを構成することができ、従来例に比較して、半分以下のハードウェア量でメディアンフィルタを安価に提供することができる。

【図面の簡単な説明】

【図1】この発明の一実施例における3×3のメディアンフィルタのブロック図である。

【図2】画像データの例を示す図である。

【図3】図2の画像データに対する処理フローを示した図である。

【図4】従来例としての3×3のメディアンフィルタのブロック図である。

【図5】コンパレータモジュールを示す図である。

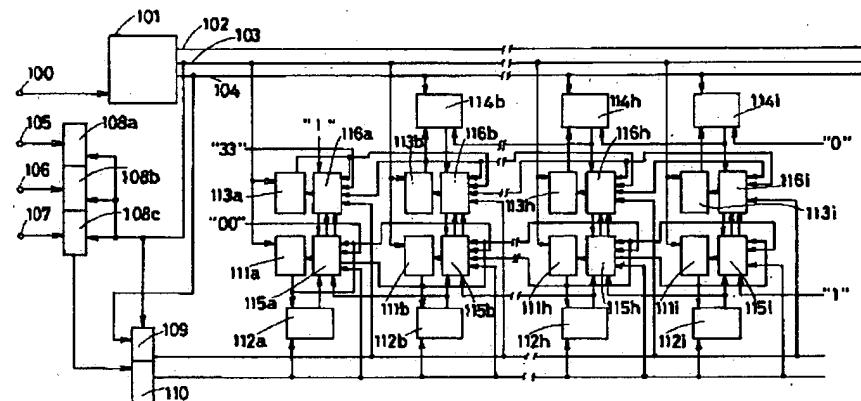
【符号の説明】

- 100 クロック信号
- 101 タイミング生成および相対番号生成回路
- 102 内部同期クロック
- 103 画素クロック
- 104 4ビットの相対位置番号
- 105~107 画像信号入力端子
- 108a~108c データロード機能付のnビット

データラッチ

- 109 4ビット長のデータラッチ
- 110 nビットデータラッチ
- 111a~111i nビットのデータラッチ
- 112a~112i nビットの比較回路
- 113a~113i 4ビットのデータラッヂ
- 114b~114i 4ビットの一致検出回路
- 115a~115i 4入力セレクタ
- 116a~116i 4入力セレクタ

【図1】

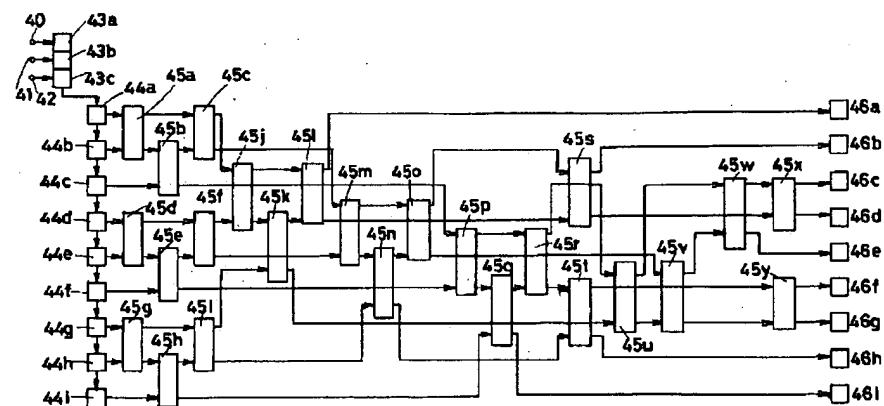


【図2】

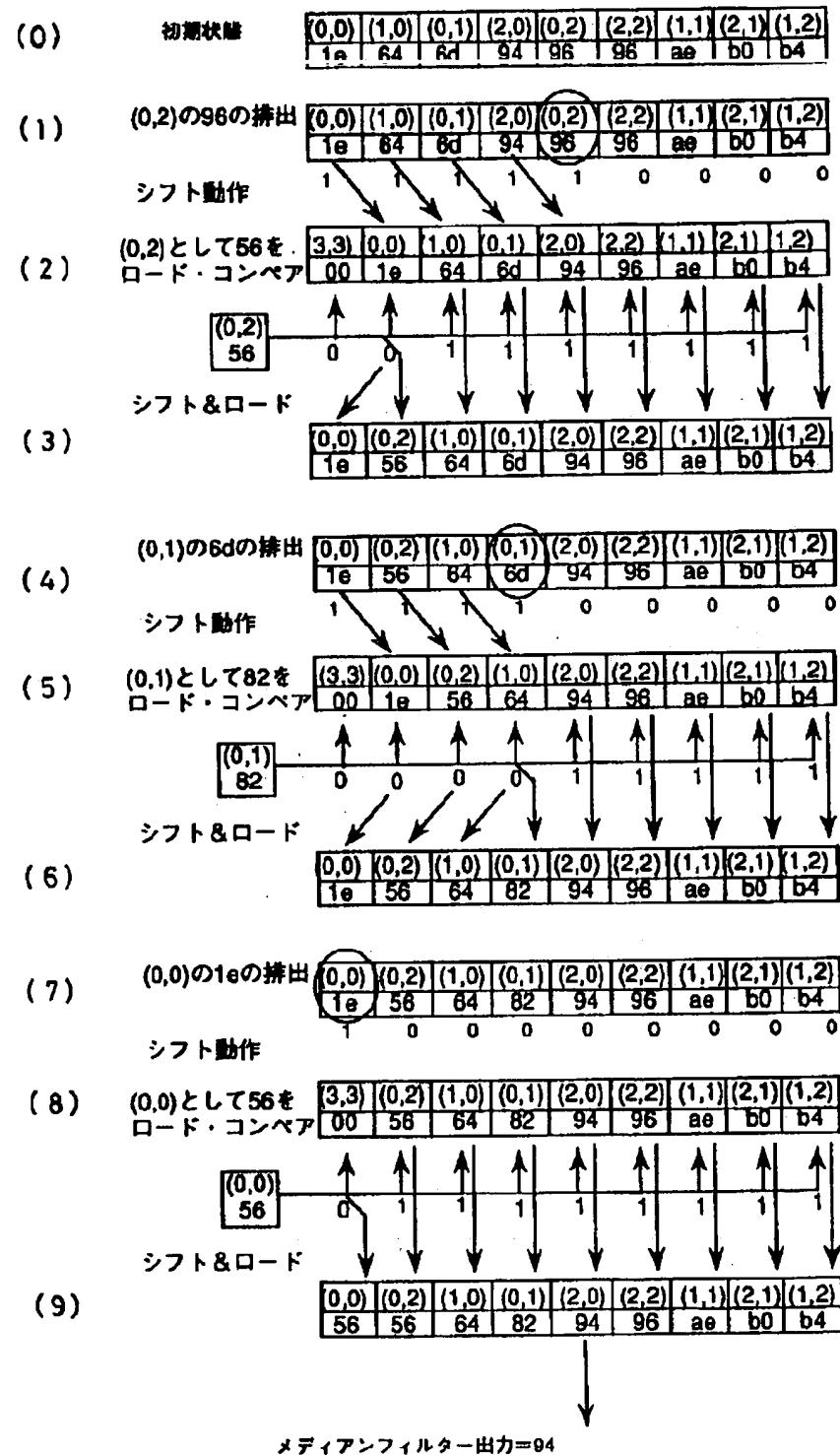
【画像データ例】

0c	1d	1e	40	82	45
0c	1e	64	94	56	3a
18	6d	ae	b0	82	40
48	96	b4	96	56	34

【図4】



【図3】



【図5】

